

GP 2811 #4
ca
255022

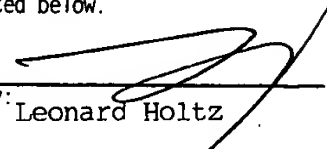
Attorney Docket No.: 01470/LH

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant : Iwao TAHARA et al
Serial Number : 09/924,293
Filed : 8 Aug 2001
Art Unit : 2811

CERTIFICATE OF MAILING

I hereby certify this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on the date noted below.

Attorney:  Leonard Holtz

Dated: September 17, 2001

SUBMISSION OF PRIORITY DOCUMENT(S)

Assistant Commissioner for Patents
Washington, D.C. 20231

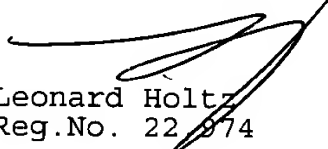
Sir:

Enclosed are Certified Copy(ies); priority is claimed under 35 USC 119:

| <u>Country</u> | <u>Application No.</u> | <u>Filing Date</u> |
|----------------|------------------------|--------------------|
| JAPAN | 2000-243765 | August 11, 2000 |
| JAPAN | 2000-243783 | August 11, 2000 |

Frishauf, Holtz, Goodman
Langer & Chick, P.C.
767 Third Avenue - 25th Fl.
New York, N.Y. 10017-2023
TEL: (212) 319-4900
FAX: (212) 319-5101
LH/pob

Respectfully submitted,


Leonard Holtz
Reg.No. 22,874

RECEIVED
SEP 20 2001
12800 MAIL ROOM



日本国特許庁
JAPAN PATENT OFFICE

S/n 09/924,293
act unit 2811

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 8月11日

出願番号

Application Number:

特願2000-243765

出願人

Applicant(s):

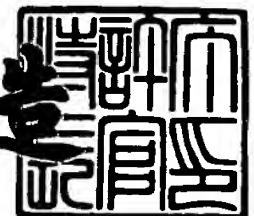
株式会社アイ・イー・ピー・テクノロジーズ
カシオ計算機株式会社

RECEIVED
SEP 20 2001
TC 2800 MAIL ROOM

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3067546

【書類名】 特許願

【整理番号】 PAT-B-0005

【提出日】 平成12年 8月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社アイ・イー・ピー・テクノロジーズ内

【氏名】 田原 伊和男

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社アイ・イー・ピー・テクノロジーズ内

【氏名】 三原 一郎

【発明者】

【住所又は居所】 東京都羽村市栄町 3 丁目 2 番 1 号 カシオ計算機株式会社羽村技術センター内

【氏名】 青木 由隆

【特許出願人】

【識別番号】 500224531

【氏名又は名称】 株式会社アイ・イー・ピー・テクノロジーズ

【代表者】 田原 伊和男

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代表者】 梶尾 和雄

【代理人】

【識別番号】 100096699

【弁理士】

【氏名又は名称】 鹿嶋 英實

【手数料の表示】

【予納台帳番号】 021267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010511

【包括委任状番号】 9600683

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極とを備える半導体装置において、

前記絶縁膜上に形成された第 1 の導体層と、該第 1 の導体層上に形成された誘電体層と、該誘電体層上に設けられた第 2 の導体層を備え、前記第 1 の導体層と、前記誘電体層および前記第 2 の導体層と、により形成された容量素子を備えていることを特徴とする半導体装置。

【請求項 2】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、

前記絶縁膜上で互いに隣接する導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層とを備え、前記隣接する導体層と前記誘電体層により形成された容量素子を備えていることを特徴とする半導体装置。

【請求項 3】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、

前記絶縁膜上で互いに隣接する導体層、及び、該導体層の各々の上に設けられた板状電極と、少なくとも前記隣接する板状電極の一方側と他方側との間隙に形成された誘電体層を備え、前記隣接する導体層及び板状電極と、前記誘電体層と、により形成された容量素子を備えていることを特徴とする半導体装置。

【請求項 4】 請求項 2、3 に記載の発明において、前記容量素子の一端および他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の周囲を保護膜で覆うことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端および他端が前記接続パッドに接続されていることを特徴とする半導

体装置。

【請求項 7】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子を複数備えていることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の発明において、前記複数の容量素子は、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され他端に柱状電極が設けられている構成、及び、一端および他端に柱状電極が設けられている構成のうち、少なくとも 2 種類の構成を備えていることを特徴とする半導体装置。

【請求項 10】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置の製造方法において、

前記半導体基板の回路素子形成領域上に絶縁膜を介して第 1 の導体層を形成する工程と、

前記第 1 の導体層上に誘電体層を形成するとともに、前記誘電体層上に第 2 の導体層を設けて前記回路素子形成領域上に積層して容量素子を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 11】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、

前記絶縁膜上に所定の間隙を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、

前記導体層の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 12】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該半導体基板の回路素子形成領域上に形成された絶縁膜と、前記接続パ

ッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、
前記絶縁膜上に所定の間隙を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、

前記隣接する導体層の各々の上に板状電極を形成する工程と、

少なくとも前記板状電極の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 3】 回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、

前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、

前記絶縁膜上に、導体層と誘電体層とにより容量素子を形成する工程と、

前記複数の接続パッドに接続された、少なくとも 1 つの柱状電極を形成する工程と、

前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の発明において、

前記容量素子形成工程は、前記絶縁膜上で互いに隣接して形成された前記導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層と、により容量素子を形成する工程を備えることを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 0 乃至 1 3 のいずれかに記載の発明において、

前記容量素子形成工程は、容量素子の周囲を保護膜で覆う工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、C S P (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、チップとパッケージのサイズがほぼ等しくなるC S P構造の半導体装置が知られており、その構造例を図24に示す。この図に示す半導体装置20は、保護膜形成、導体層形成、ポスト形成および樹脂封止の各工程からなるパッケージ処理を終えたウエハを個々のチップにダイシングして得られる、所謂ウエハレベルC S Pと呼ばれる構造を有している。

すなわち、半導体装置20は、ウエハ（半導体基板）1の表面（回路面）側にアルミ電極等からなる複数の接続パッド2を有し、この接続パッド2の上面側には各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション3が形成される。

【0003】

パッシベーション3の上面側には、各接続パッド2の中央部分が開口するよう保護膜4が形成される。保護膜4は例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

こうして形成される保護膜4上には、各接続パッド2と後述するポスト（柱状電極）6とを電氣的に接続する導体層5が形成される。導体層5上の所定箇所には、柱状電極である複数のポスト6が設けられる。ポスト6を覆うように、ウエハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7が形成される。封止膜7の上端面は切削研磨され、これにより露出するポスト6の端面6aについては、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理が施される。

【0004】

【発明が解決しようとする課題】

ところで、Bluetoothモジュール等の無線I/Fを具現するトランシーバチップでは、PLL回路やVCO回路あるいはフィルタ回路などのRF機能要素が必須になる。これらRF機能要素を具現するには、容量素子（キャパシタ）等の各種受動素子をウエハ1の回路素子形成領域DA（図25参照）に設ける必要がある。

【 0 0 0 5 】

しかしながら、回路素子形成領域 D A に容量素子を形成しようとする、必然的にチップ面積の増大を招致してしまう。上述した C S P 構造による半導体装置 2 0 において、チップ面積が増大すると、1 枚のウエハから個片化されるチップの数が少なくなる上、製造歩留りも悪化する、という問題が生じる。

その為、現状では R F 機能要素を具現する各種受動素子をディスクリート部品としてチップに外付けする形態としているが、そのような形態では R F モジュールのダウンサイジング化が難しい、という弊害も派生する。

【 0 0 0 6 】

そこで本発明は、このような事情に鑑みてなされたもので、チップ面積の増大を招くことなく容量素子を搭載することができる半導体装置および半導体装置の製造方法を提供することを目的としている。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された第 1 の導体層と、該第 1 の導体層上に形成された誘電体層と、該誘電体層上に設けられた第 2 の導体層を備え、前記第 1 の導体層と、前記誘電体層および前記第 2 の導体層と、により容量素子を形成することを特徴とする。

【 0 0 0 8 】

請求項 2 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、

前記絶縁膜上で互いに隣接する導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層とを備え、前記隣接する導体層と前記誘電体層により形成された容量素子を備えていることを特徴とする。

【 0 0 0 9 】

請求項 3 に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、

前記絶縁膜上で互いに隣接する導体層、及び、該導体層の各々の上に設けられた板状電極と、少なくとも前記隣接する板状電極の一方側と他方側との間隙に形成された誘電体層を備え、前記隣接する導体層及び板状電極と、前記誘電体層と、により形成された容量素子を備えていることを特徴とする。

【 0 0 1 0 】

請求項 4 に記載の半導体装置は、請求項 2、3 に記載の発明において、前記容量素子の一端および他端に柱状電極が設けられていることを特徴とする。

【 0 0 1 1 】

請求項 5 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の周囲を保護膜で覆うことを特徴とする。

【 0 0 1 2 】

請求項 6 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端および他端が前記接続パッドに接続されていることを特徴とする。

【 0 0 1 3 】

請求項 7 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする。

【 0 0 1 4 】

請求項 8 に記載の半導体装置は、請求項 1 乃至 3 のいずれかに記載の発明において、前記容量素子を複数備えていることを特徴とする。

【 0 0 1 5 】

請求項 9 に記載の半導体装置は、請求項 8 に記載の発明において、前記複数の容量素子は、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され、他端に柱状電極が設けられている構成、及び、一端および他端に柱状電極が設けられている構成のうち、少なくとも 2 種類の構成を備

えていることを特徴とする。

【0016】

請求項10に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置の製造方法において、前記半導体基板の回路素子形成領域上に絶縁膜を介して第1の導体層を形成する工程と、前記第1の導体層上に誘電体層を形成するとともに、前記誘電体層上に第2の導体層を設けて前記回路素子形成領域上に積層して容量素子を形成する工程と、を具備することを特徴とする。

【0017】

請求項11に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に所定の間隙を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、前記導体層の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、を具備することを特徴とする。

【0018】

請求項12に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該半導体基板の回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続された複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に所定の間隙を隔てて互いに隣接する一方側の導体層と他方側の導体層とを形成する工程と、前記隣接する導体層の各々の上に板状電極を形成する工程と、少なくとも前記板状電極の一方側と他方側との間隙に誘電体層を設けて前記回路素子形成領域上に平面的に容量素子を形成する工程と、を具備することを特徴とする。

【0019】

請求項13に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と

、前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、前記絶縁膜上に、導体層と誘電体層とにより容量素子を形成する工程と、前記複数の接続パッドに接続された、少なくとも1つの柱状電極を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、を具備することを特徴とする。

【0020】

請求項14に記載の半導体装置の製造方法は、請求項13に記載の発明において、前記容量素子形成工程は、前記絶縁膜上で互いに隣接して形成された前記導体層と、該導体層の一方側と他方側との間隙に形成された誘電体層と、により容量素子を形成する工程を備えることを特徴とする。

【0021】

請求項15に記載の半導体装置の製造方法は、請求項10乃至13のいずれかに記載の発明において、前記容量素子形成工程は、容量素子の周囲を保護膜で覆う工程を具備することを特徴とする半導体装置の製造方法。

【0022】

本発明では、回路素子形成領域上に第1の導体層、誘電体層および第2の導体層とを積層してチップ内部に積層して容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。

また、本発明では、回路素子形成領域上で誘電体層を導体層で挟み込んで平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。

さらに、本発明では、回路素子形成領域上で誘電体層を導体層および柱状電極で挟み込んで平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。

【0023】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

(1) 第1の実施形態

図1～図10は、第1の実施形態による半導体装置20の構造およびその製造

工程を説明する為の断面図である。これらの図において前述した従来例（図 2 4 参照）と共通する部分には同一の番号を付し、その説明を省略する。

第 1 の実施形態による半導体装置 2 0 が前述した従来例（図 2 4 参照）と相違する点は、下面が接続パッド 2 に接続される導体層 5（以下、第 1 の導体層 5 と記す）と上面にポスト 6 が形成される導体層 1 0（以下、第 2 の導体層 1 0 と記す）との間に誘電体層 8 を設けて容量素子（キャパシタ）を形成し、その容量素子の周囲を保護膜 9（以下、第 2 の保護膜 9）にて覆い、電氣的に絶縁させる構造にしたことにある。

【 0 0 2 4 】

このような構造によって形成される容量素子は、誘電体層 8 を形成する誘電体の比誘電率、厚さおよび面積でその容量が決る。誘電体層 8 を形成する誘電体としては、例えばチタン酸バリウム、チタン酸タンタル等が用いられる。

また、回路素子形成領域 D A 上に積層して形成される容量素子は、各種態様で配置でき、例えば大容量の容量素子を設ける場合には図 2（イ）に図示するように誘電体層 8 の面積を広げる態様とし、また複数の容量素子を設ける場合には図 2（ロ）に図示する態様にする。

【 0 0 2 5 】

次に、図 3 ～図 1 0 を参照して、上記構造による半導体装置 2 0 の製造工程について説明する。第 1 の実施形態による製造工程では、先ず図 3 に図示する通り、ウエハ 1 の回路面側に設けられたアルミ電極等からなる複数の接続パッド 2 の上面側に、それぞれ各接続パッド 2 の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション 3 を形成する。この後、パッシベーション 3 の上面側に各接続パッド 2 の中央部分が開口するよう保護膜 4（以下、第 1 の保護膜 4 と記す）を形成する。

【 0 0 2 6 】

この第 1 の保護膜 4 は、例えばウエハ 1 の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。保護膜 4 は、ポリイミド系樹脂材を塗布してスピンコートする手法の他、スキージを用いる

印刷法やノズルからのインク吐出による塗布法を用いることが可能であり、保護膜材料としてもポリイミド系樹脂材に限らず、エポキシ系樹脂材やPBO（ベンザオキシドール系）等を用いても良い。

【0027】

次に、図4および図5に図示するように、保護膜4に形成された開口部を介して露出される接続パッド2上に第1の導体層5を形成する。第1の導体層5は保護膜4の全面にUBMスパッタ処理等によりUBM層（図示略）を堆積し、この後、導体層用のフォトリソグロフ技術により所定形状の開口を有するパターニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。

第1の導体層5を形成する手法としては、これ以外に無電解メッキ方法を用いることもできる。配線材料としては、良好な導電特性を備える銅、アルミおよび金あるいはこれらの合金を用いる。

【0028】

第1の導体層5を形成した後には、第1の導体層5上の所定箇所に誘電体層8を形成する。誘電体層8は、例えばレジストでパターン形成した後、誘電体材料をスパッタリングで所定厚まで堆積させて層成する。そして、誘電体層8を形成した後には、図6に図示するように、誘電体層8を他層と電氣的に絶縁させると共に、第2の導体層10が設けられる部分や、ダイシングカットされる部分を開口するよう第2の保護膜9を形成する。

第2の保護膜9は、前述した第1の保護膜4と同様、例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0029】

次いで、第2の保護膜9が形成されると、図7に図示するように、第2の保護膜9に形成された開口部を介して露出される第1の導体層5と電氣的に接続する一方、誘電体層8の上面側に電氣的に接続する第2の導体層10を形成する。第2の導体層10は、前述した第1の導体層5と同様、レジストでパターン形成し

た後に電解メッキを施すことで形成される。第2の導体層10を形成した後は、図8に図示するように、各導体層10上の所定箇所にポスト6を設ける。

【0030】

ポスト6は、例えば100～150 μ m程度の厚さでポスト形成用のフォトリソを塗布硬化させた上、第2の導体層10の所定箇所を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。

ポスト6を形成する手法としては、これ以外に無電解メッキ方法やスタッドバンプ法を用いることもできる。ポスト材料は、良好な導電特性を備える銅、ハンダ、金あるいはニッケル等を用いる。なお、ポスト形成材料としてはんだを用いる場合は、この後リフロー処理を施す事により球状の電極を形成することも出来る。また、はんだを用いてポスト6を形成する場合には、上記の他に印刷法を用いることもできる。

【0031】

こうして、図8に図示した構造が形成された後は、図9に図示するように、ポスト6を覆うように、ウエハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7を形成する。封止膜7は、環境変化に対応する信頼性を確保する上で、好ましくは上述した第1の保護膜4や第2の保護膜9と主成分が実質的に同一な樹脂材とする。なお、封止膜7を形成する手法としては、上記モールド法の他に、印刷法、浸漬法、スピコート法、ダイコート法を用いることもできる。

【0032】

ポスト6の樹脂封止後には、図10に示すように、封止膜7の上端面を切削研磨してポスト6の端面6aを露出させ、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。この後、予め定められたカットラインCLに沿ってダイシングを施してウエハ1をチップに個片化する。これにより、図1に図示した構造の半導体装置20が生成される。

【0033】

さて、このような構造を有する半導体装置20では、第1の導体層5、誘電体層8および第2の導体層10とを積層して立体的に容量素子を形成しているので

、第2の導体層再配線10およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路（LSI）に接続し得る。

その具体例を、図11～図14を参照して説明する。これらの図は、半導体装置20における第2の導体層10およびポスト6の配置態様に応じた容量素子の接続形態と、それに対応する等価回路を図示している。

【0034】

図11は第1の導体層5、誘電体層8および第2の導体層10を積層してなる容量素子の一端および他端を外部に引出さず、接続パッド2-2，2-3を介してウエハ1に接続する形態を図示している。

図12はウエハ1と接続する接続パッド2-1，2-2に容量素子の一端を接続し、他端を端子T1，T2に接続する形態を図示している。

図13は並列的に設けた両容量素子の一端を接続パッド2-2に接続し、各他端を端子T2，T3にそれぞれ接続する形態を図示している。

図14はウエハ1に接続する各接続パッド2-1～2-3の内、接続パッド2-2に容量素子の一端を接続し、他端を端子T2に接続する形態を図示している。

【0035】

以上のように、第1の実施形態によれば、回路素子形成領域DA上に第1の導体層5、誘電体層8および第2の導体層10とを積層して立体的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を搭載することが可能になる。また、回路素子形成領域DA上に複数の容量素子を設ける場合に、図11～図14に示した容量素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0036】

すなわち、第1の実施形態によれば、第2の導体層10およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路（LSI）に接続し得るので、チップ面積のダウンサイジング化は勿論、Bluetoothモジュールに適用した場合には従来、必要とされていた外付け容量素子を内蔵できるから、モジュールのダウンサイジング化にも寄与することができる。

【 0 0 3 7 】

なお、上述した第 1 の実施形態では、誘電体層 8 を単層としたが、これに限らず誘電体層 8 と第 2 の導体層 1 0 とを交互に積み重ねた複層構造にて複数の容量素子を形成しても良い。その場合、交互に積み重ねた複数の第 2 の導体層 1 0 のパターンにより複数の容量素子を並列接続したり、直列接続することができる。

また、第 1 の実施形態では、説明の簡略化を図る為、単に第 1 の導体層 5、誘電体層 8 および第 2 の導体層 1 0 とを積層した容量素子としたが、実際にはその容量素子が他の導体層に与える影響、すなわち、浮遊容量や寄生容量を抑えるために、例えば、導体層 5 または導体層 1 0 と同一平面の近傍位置に、導体層 5 または導体層 1 0 と同じ材料よりなる、グランド層を設ける態様としても良い。

さらに、第 1 の実施形態では、誘電体層 8 を設けて容量素子を形成するようにしたが、これに替えて、例えば第 2 の保護膜 9 に誘電体材料を混入させて誘電体層 8 を兼ねるようにしても良い。

【 0 0 3 8 】

(2) 第 2 の実施形態

図 1 5 ～ 図 1 8 は、第 2 の実施形態による半導体装置 2 0 の構造およびその製造工程を説明する為の断面図である。これらの図において上述した第 1 の実施形態（図 1 参照）と共通する部分には同一の番号を付し、その説明を省略する。

上述した第 1 の実施形態では、第 1 の導体層 5、誘電体層 8 および第 2 の導体層 1 0 とを積層して立体的に容量素子を形成したのに対し、第 2 の実施形態では図 1 5 に図示するように、第 1 の保護膜 4 上で互いに隣接するよう配置された導体層 5 の一方側と他方側との間隙に誘電体層 8 を形成する。つまり、誘電体層 8 を導体層 5 で挟み込んで平面的に容量素子を形成する構造としている。

【 0 0 3 9 】

上記構造により形成される容量素子は、第 1 の実施形態と同様、誘電体層 8 を形成する誘電体の比誘電率、厚さおよび面積でその容量が決る。誘電体層 8 を形成する誘電体としては、例えばチタン酸バリウム、チタン酸タンタル等が用いられる。

また、こうして回路素子形成領域 D A 上に平面的に形成される容量素子は、各

種態様で配置でき、例えば大容量の容量素子を設ける場合には図 1 6 (イ) に図示する態様に、また複数の容量素子を設ける場合には図 1 6 (ロ) に図示する態様にする。

【 0 0 4 0 】

次に、図 1 7 ～ 図 1 8 を参照して、第 2 の実施形態による半導体装置 2 0 の製造工程について説明する。第 2 の実施形態による製造工程が上述した第 1 の実施形態と異なる点は、第 1 の保護膜 4 上で互いに隣接するよう配置された導体層 5 の一方側と他方側との間隙に誘電体層 8 を形成した後に第 2 の保護膜 9 を設けることにある。

すなわち、第 2 の実施形態による製造工程では、第 1 の実施形態と同様、ウエハ 1 の回路面側に設けられたアルミ電極等からなる複数の接続パッド 2 の上面側に、それぞれ各接続パッド 2 の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション 3 を形成した後、このパッシベーション 3 の上面側に各接続パッド 2 の中央部分が開口するよう第 1 の保護膜 4 を形成する。

【 0 0 4 1 】

第 1 の保護膜 4 を形成したら、図 1 7 に図示するように、第 1 の保護膜 4 に形成された開口部を介して露出される接続パッド 2 上に導体層 5 を形成する。導体層 5 は保護膜 4 の全面に U B M スパッタ処理等により U B M 層 (図示略) を堆積し、この後、導体層用のフォトリソグレイ技術により所定形状の開口を有するパターニングを施した後、レジストによって開口された部分に電解メッキを施すことで形成される。この際、第 1 の保護膜 4 上の所定位置には誘電体層 8 を設けるための開口部 (間隙) が形成される。

【 0 0 4 2 】

導体層 5 を形成した後は、図 1 7 に示すように、第 1 の保護膜 4 上に設けられた開口部 (間隙) に誘電体層 8 を形成する。誘電体層 8 は、例えばレジストでパターン形成した後、誘電体材料をスパッタリングで所定厚まで堆積させて層成する。

そして、誘電体層 8 を形成した後は、図 1 8 に図示するように、誘電体層 8

を電氣的に絶縁すべく第2の保護膜9を形成し、続いて第2の保護膜9に形成された開口部を介して露出される導体層5と電氣的に接続するポスト6を設ける。

【0043】

この後、ポスト6を覆うように、ウエハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7を形成する。封止膜7を形成した後は、封止膜7の上端面を切削研磨してポスト6の端面6aを露出させ、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。次いで、予め定められたカットラインに沿ってダイシングを施してウエハ1をチップに個片化することによって、図15に図示した構造の半導体装置20が得られる。

【0044】

このような構造を有する半導体装置20では、誘電体層8を導体層5で挟み込んで平面的に容量素子を形成しているので、導体層5およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路(LSI)に接続し得る。

その具体例を、図19～図21を参照して説明する。これらの図は、半導体装置20における導体層5およびポスト6の配置態様に応じた容量素子の接続形態と、それに対応する等価回路を図示している。

【0045】

図19は誘電体層8を導体層5で挟み込んで形成した容量素子の一端および他端をウエハ1に接続させずに外部へ引出す形態、つまり、予備的に用いる容量素子をチップ搭載した形態を図示している。

図20は容量素子の一端および他端を外部に引出さず、直接的に接続パッド2-1, 2-2を介してウエハ1に接続する形態を図示している。

図21はウエハ1と接続する接続パッド2-1, 2-2に容量素子を並列接続する形態、つまり、補助的に用いる容量素子をチップ搭載した形態を図示している。

【0046】

以上のように、第2の実施形態によれば、回路素子形成領域DA上で誘電体層8を導体層5で挟み込んで平面的に容量素子を形成するようにしたので、チップ

面積の増大を招くことなく容量素子を搭載することが可能になる。

また、第2の実施形態によれば、平面的に容量素子を形成するから、立体的に容量素子を形成する第1の実施形態よりもプロセスの簡略化を図ることもできる。また、回路素子形成領域DA上に複数の容量素子を設ける場合に、図19～図21に示した容量素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【0047】

すなわち、第2の実施形態では、導体層5およびポスト6の配置態様に応じて容量素子を様々な形態で集積回路(LSI)に接続し得るので、チップ面積のダウンサイジング化は勿論、Bluetoothモジュールに適用した場合には従来、必要とされていた外付け容量素子を内蔵できるから、モジュールのダウンサイジング化にも寄与することができる。

【0048】

なお、第2の実施形態では、説明の簡略化を図る為、単に誘電体層8を第1の導体層5で挟み込んだ容量素子としたが、実際にはその容量素子が他の導体層に与える影響、すなわち、浮遊容量や寄生容量を抑えるために、例えば、導体層5と同一平面の近傍位置に、導体層5と同じ材料よりなる、グランド層を設ける態様としても良い。

【0049】

(3) 第3の実施形態

次に、図22を参照して第3の実施形態について説明する。図22は、第3の実施形態による半導体装置20の構造を示す断面図であり、この図において上述した第2の実施形態(図15参照)と共通する部分には同一の番号を付し、その説明を省略する。

【0050】

上述した第2の実施形態では、誘電体層8を第1の導体層5で挟み込んで平面的に容量素子を形成したのに対し、第3の実施形態では図22に図示するように、第1の保護膜4上で互いに隣接するよう配置された第1の導体層5およびポスト6の一方側と他方側との間隙に誘電体層8を形成する。

つまり、誘電体層 8 を第 1 の導体層 5 およびポスト 6 で挟み込んで平面的に容量素子を形成するようになっている。この場合、誘電体層 8 を挟み込むポスト 6 は、角柱状もしくは平面視直方形をなす板状に形成する。なお、誘電体層 8 を板状のポスト 6 のみで挟み込むようにしてもよい。

【 0 0 5 1 】

上述した構造にて形成される容量素子は、第 2 の実施形態と同様、誘電体層 8 を形成する誘電体の比誘電率、厚さおよび面積でその容量が決り、誘電体層 8 を形成する誘電体としては例えばチタン酸バリウム、チタン酸タンタル等が用いられる。

こうして平面的に形成される容量素子は、誘電体層 8 を挟み込むポスト 6 の形状に応じて各種態様でチップ上に配置できる。例えば、ポスト 6 を平面視直方形をなす板状に形成した場合には図 2 3 (イ) に図示する態様で容量素子をチップ上に配置することになる。

【 0 0 5 2 】

また、図 2 3 (ロ) に図示するように、板状のポスト 6 をチップ周縁に敷設する態様にすることも可能であり、このようにすることで誘電体層 8 の面積をより大きくすることができるため、大容量の容量素子を形成し得る。

このような構造を有する半導体装置 2 0 では、誘電体層 8 を導体層 5 およびポスト 6 で挟み込んで平面的に容量素子を形成しているので、図示は省略したが、前記第 2 の実施形態と同様に、容量素子を様々な形態で集積回路 (L S I) に接続し得る。

また、回路素子形成領域 D A 上に複数の容量素子を設ける場合に、これらの各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【 0 0 5 3 】

以上のように、第 3 の実施形態によれば、回路素子形成領域 D A 上で誘電体層 8 を第 1 の導体層 5 およびポスト 6 で挟み込んで平面的に容量素子を形成するようになったので、チップ面積の増大を招くことなく、前記第 2 の実施形態の場合より大きな容量素子を搭載することが可能になる。

なお、上述した各実施形態に基づき、回路素子形成領域 D A 上に複数の容量素

子を設ける場合に、各実施形態における容量素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

【 0 0 5 4 】

【発明の効果】

請求項 1 および請求項 1 0 に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された第 1 の導体層と該第 1 の導体層上に形成された誘電体層と該誘電体層上に設けられた第 2 の導体層とにより形成された容量素子を備えて、回路素子形成領域上に積層して容量素子を形成するようにしたので、チップ面積の増大を招くことなく容量素子を形成し、搭載することができる。

請求項 2 および請求項 1 1 に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層と該導体層の一方側と他方側との間隙に形成された誘電体層とにより形成された容量素子を備えて、回路素子形成領域上に平面的に容量素子を形成するようにしたので、チップ面積の増大を招くことなく、簡単な製造工程で、容量素子を形成し、搭載することができる。

請求項 3 および請求項 1 2 に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記接続パッドに接続される複数の柱状電極と、を備える半導体装置において、前記絶縁膜上で互いに隣接する導体層、及び、該導体層の各々の上に設けられた板状電極と、少なくとも前記隣接板状電極の一方側と他方側との間隙に形成された誘電体層とにより容量素子を形成するようにしたので、チップ面積の増大を招くことなく、大容量の容量素子を形成し、搭載することができる。

請求項 4 ～ 9 に記載の発明によれば、回路素子形成領域上に絶縁膜を介して設けられる容量素子を、回路素子形成領域の集積回路に対して様々な形態で接続し得るので、チップ面積の縮小、及びモジュール面積の縮小をを行うことができる。

請求項 1 3 ～ 1 5 に記載の発明によれば、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板の回路素子形成領域上に、絶縁膜を介して、導体層と誘電体層による容量素子を形成し、前記複数の接続パッドに接続された、少なくとも 1 つの柱状電極を形成した後、チップ形成領域に分断して複数のチップを形成するようにしたので、回路素子形成領域上に、絶縁膜を介して容量素子を搭載した複数のチップを、まとめて形成することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態による半導体装置 2 0 の構造を示す断面図である。

【図 2】

容量素子に配置形態を説明するための平面図である。

【図 3】

第 1 の実施形態による半導体装置の製造工程を説明する為の断面図である。

【図 4】

図 3 に続く半導体装置の製造工程を説明する為の断面図である。

【図 5】

図 4 に続く半導体装置の製造工程を説明する為の断面図である。

【図 6】

図 5 に続く半導体装置の製造工程を説明する為の断面図である。

【図 7】

図 6 に続く半導体装置の製造工程を説明する為の断面図である。

【図 8】

図 8 に続く半導体装置の製造工程を説明する為の断面図である。

【図 9】

図 9 に続く半導体装置の製造工程を説明する為の断面図である。

【図 1 0】

図 9 に続く半導体装置の製造工程を説明する為の断面図であり、個片化された半導体装置 2 0 の完成状態を示すものである。

【図 1 1】

容量素子の接続態様を説明するための図である。

【図 1 2】

容量素子の接続態様を説明するための図である。

【図 1 3】

容量素子の接続態様を説明するための図である。

【図 1 4】

容量素子の接続態様を説明するための図である。

【図 1 5】

第 2 の実施形態による半導体装置 2 0 の構造を示す断面図である。

【図 1 6】

容量素子に配置形態を説明するための平面図である。

【図 1 7】

第 1 の実施形態による半導体装置の製造工程を説明する為の断面図である。

【図 1 8】

図 1 7 に続く半導体装置の製造工程を説明する為の断面図である。

【図 1 9】

容量素子の接続態様を説明するための図である。

【図 2 0】

容量素子の接続態様を説明するための図である。

【図 2 1】

容量素子の接続態様を説明するための図である。

【図 2 2】

第 3 の実施形態による半導体装置 2 0 の構造を示す断面図である。

【図 2 3】

容量素子に配置形態を説明するための平面図である。

【図 2 4】

従来例による半導体装置 2 0 の構造を示す断面図である。

【図 2 5】

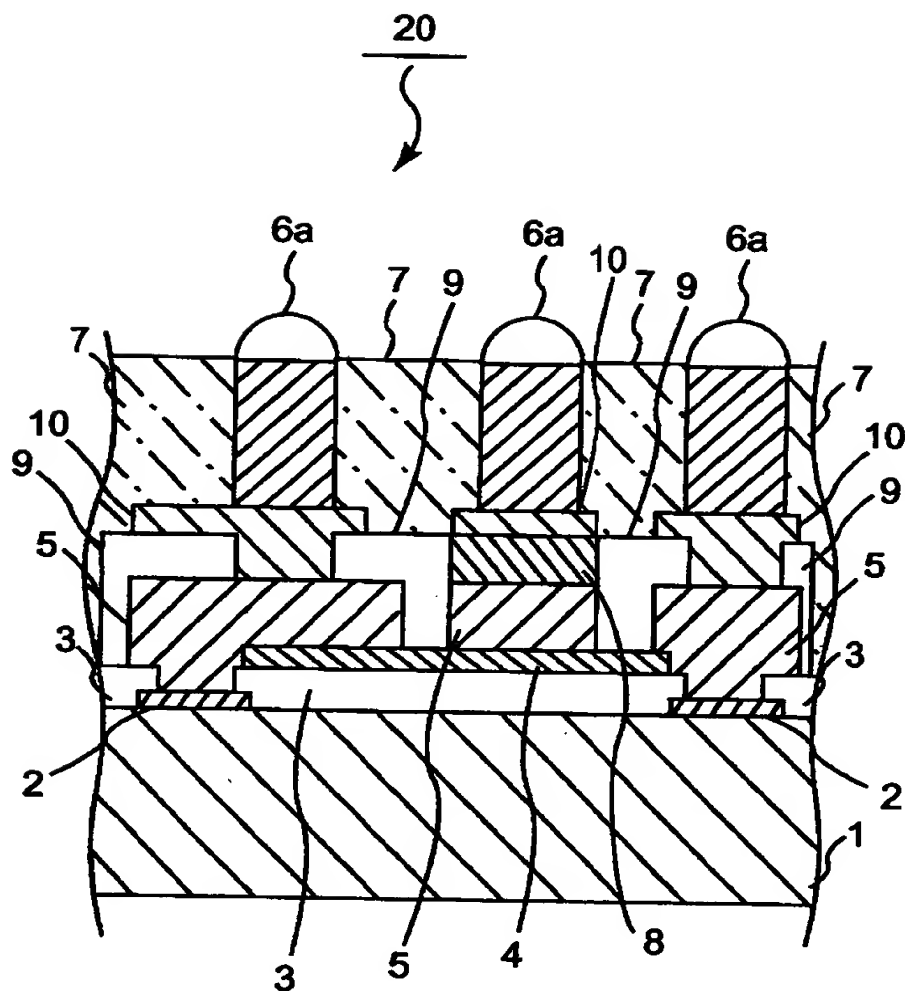
ウエハ 1 の回路素子形成領域 D A を示す平面図である。

【符号の説明】

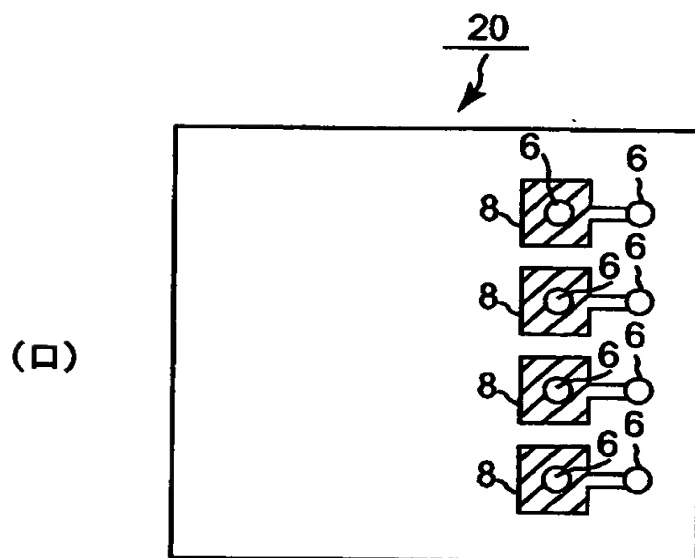
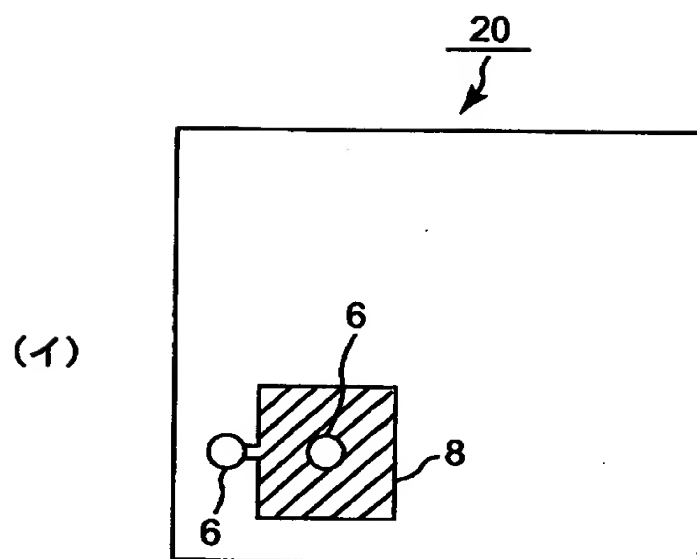
- 1 ウエハ（半導体基板）
- 2 接続パッド
- 3 パッシベーション
- 4 保護膜
- 5 第 1 の導電層
- 6 ポスト（柱状電極）
- 7 封止膜
- 8 誘電体層
- 9 保護膜
- 1 0 第 2 の導電層
- 2 0 半導体装置

【書類名】 図面

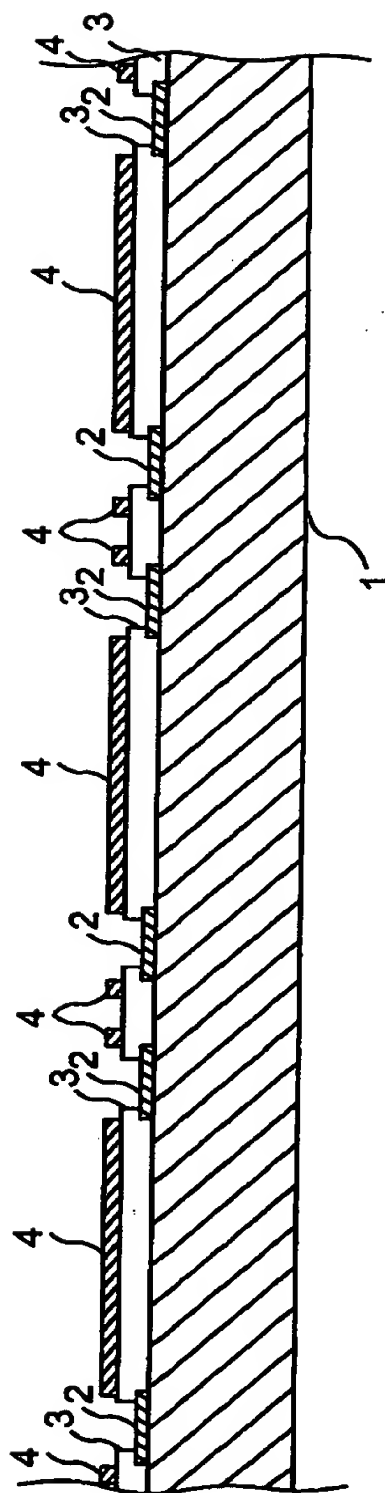
【図 1】



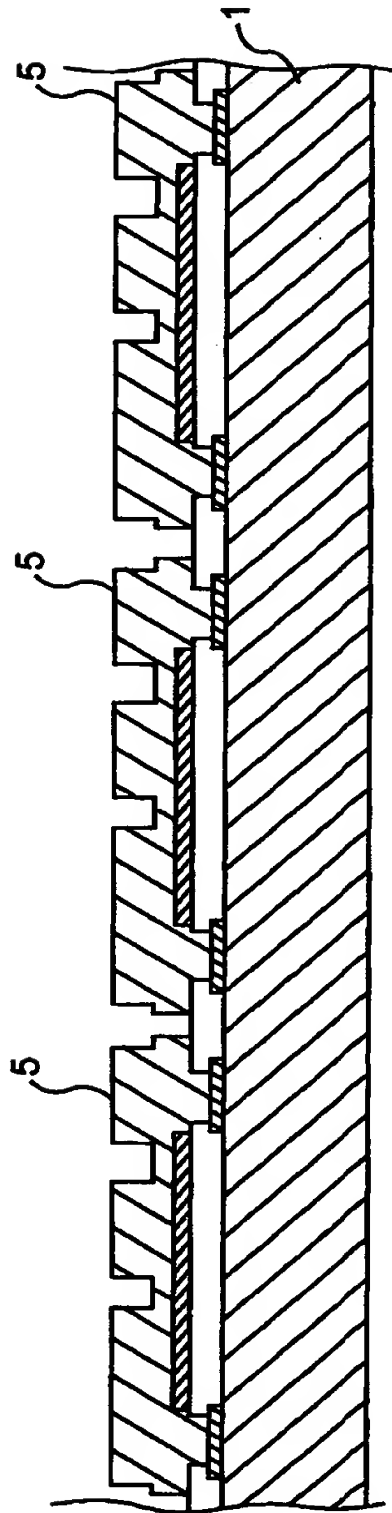
【図 2】



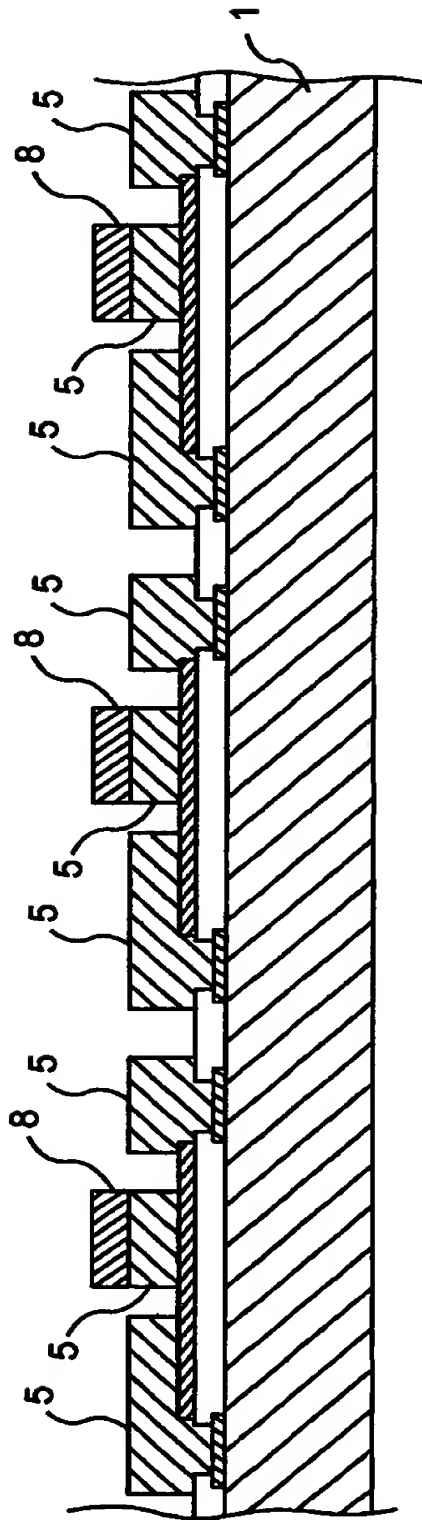
【図3】



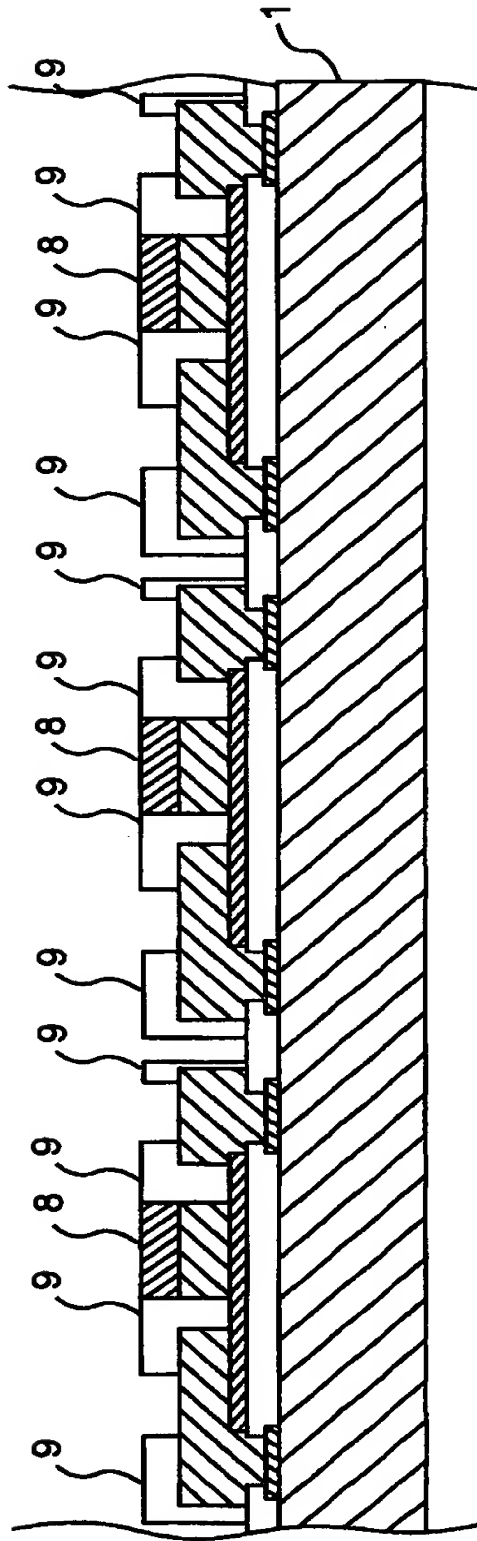
【図 4】



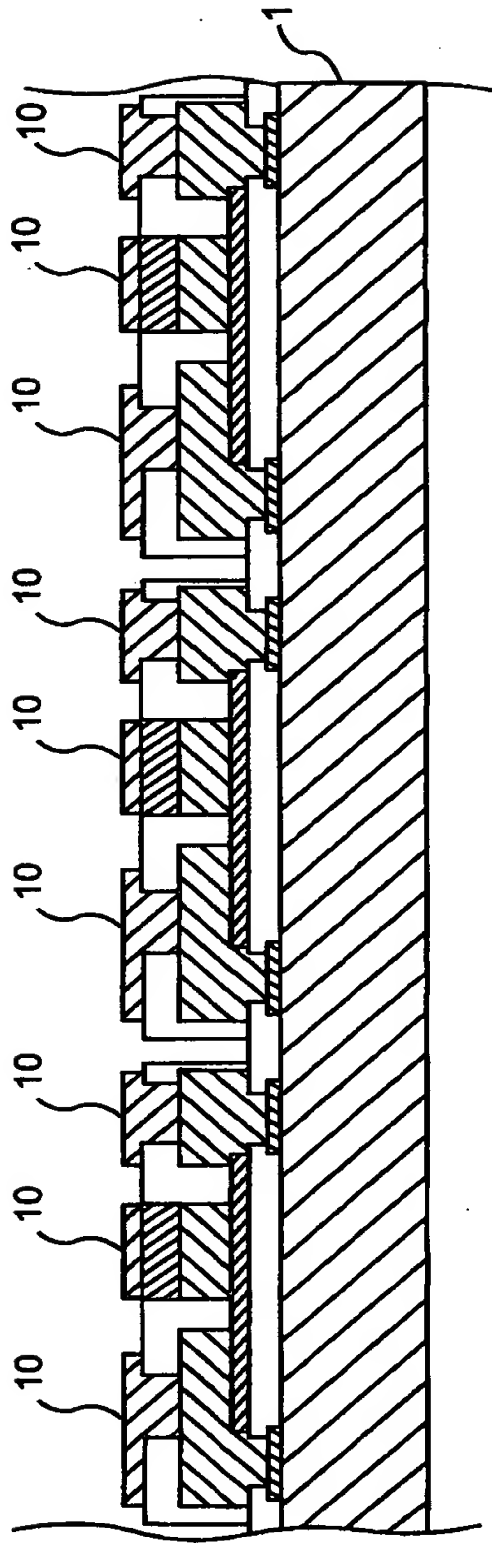
【图 5】



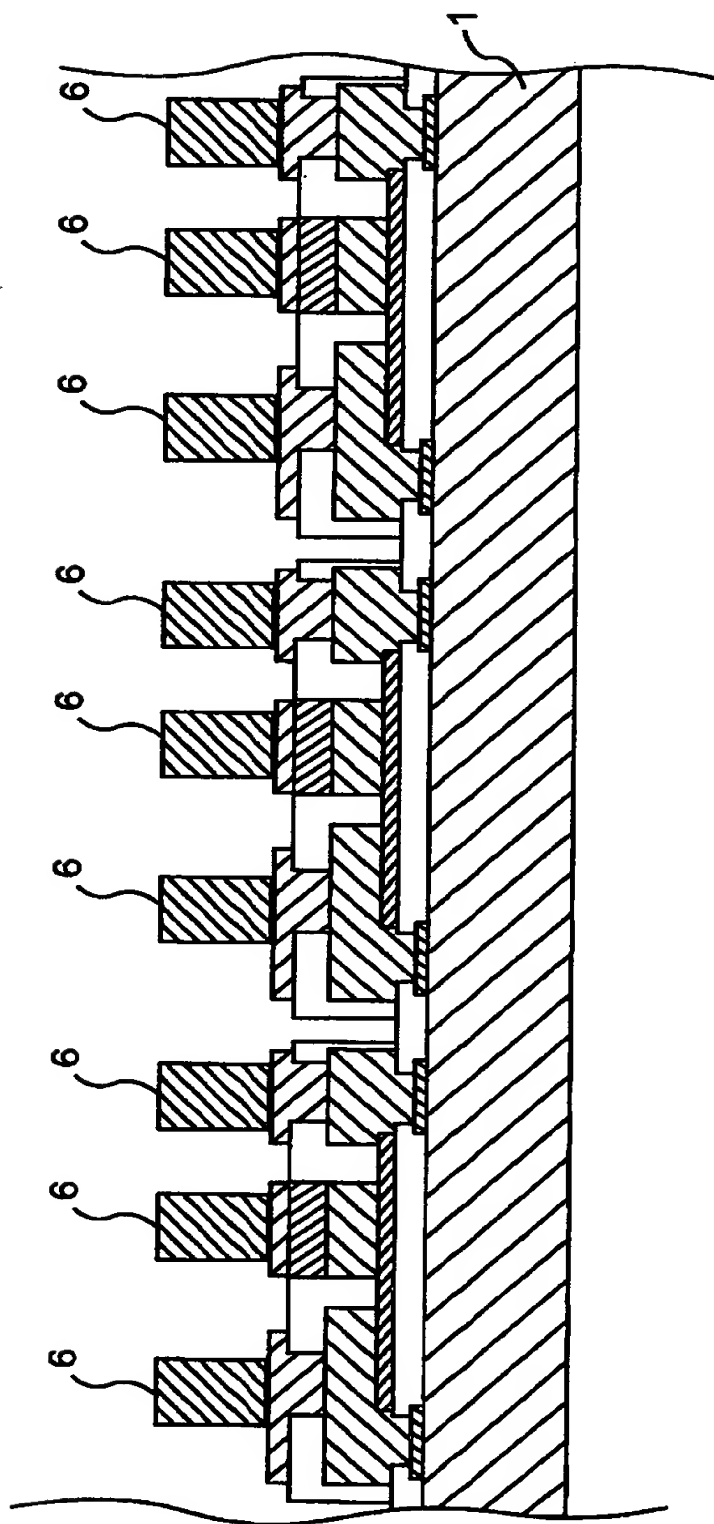
【図 6】



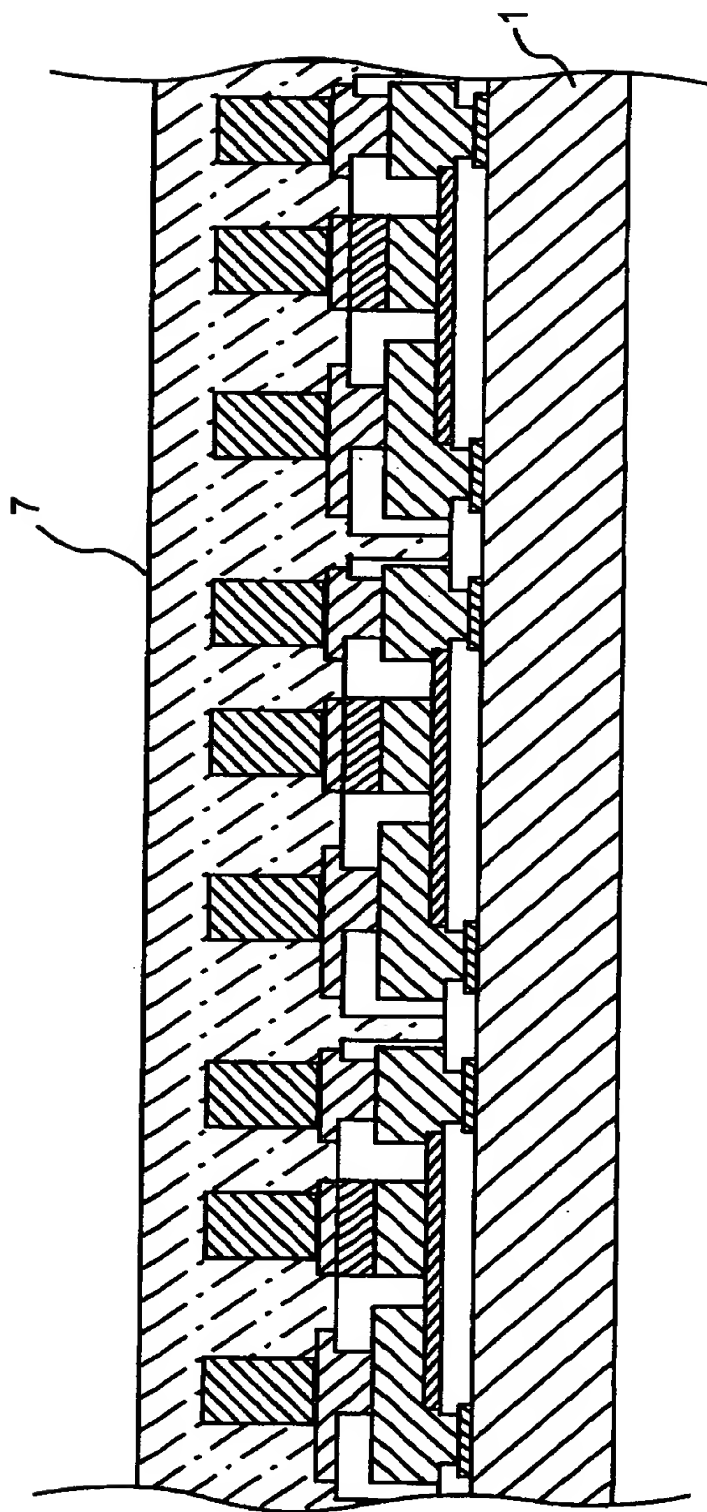
【図 7】



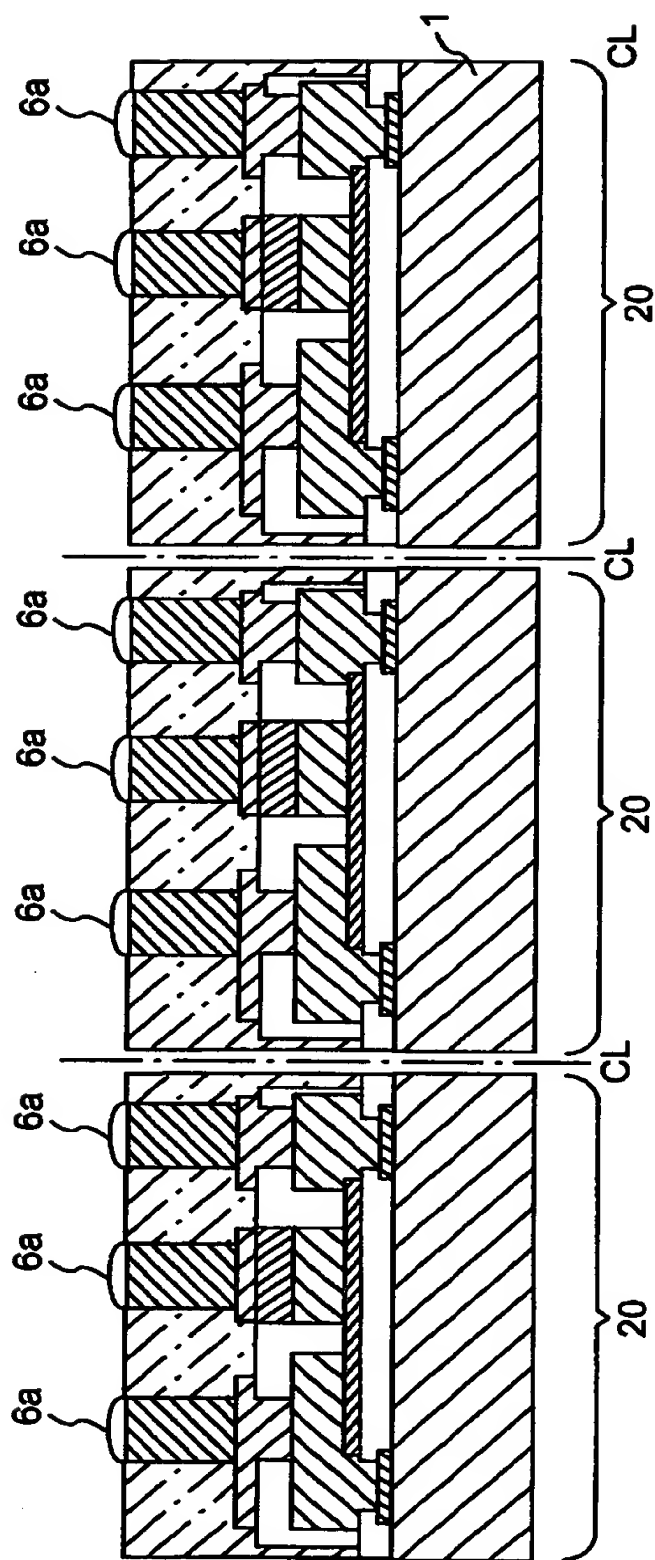
【図 8】



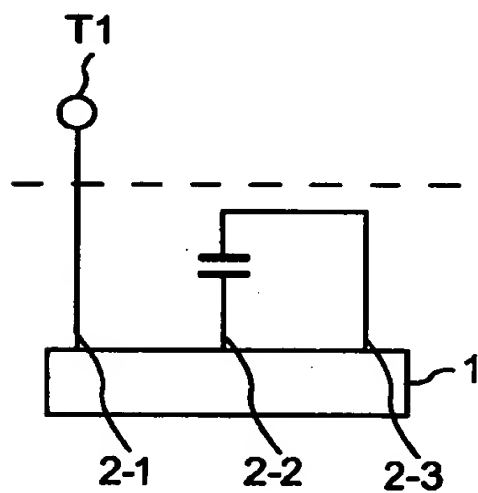
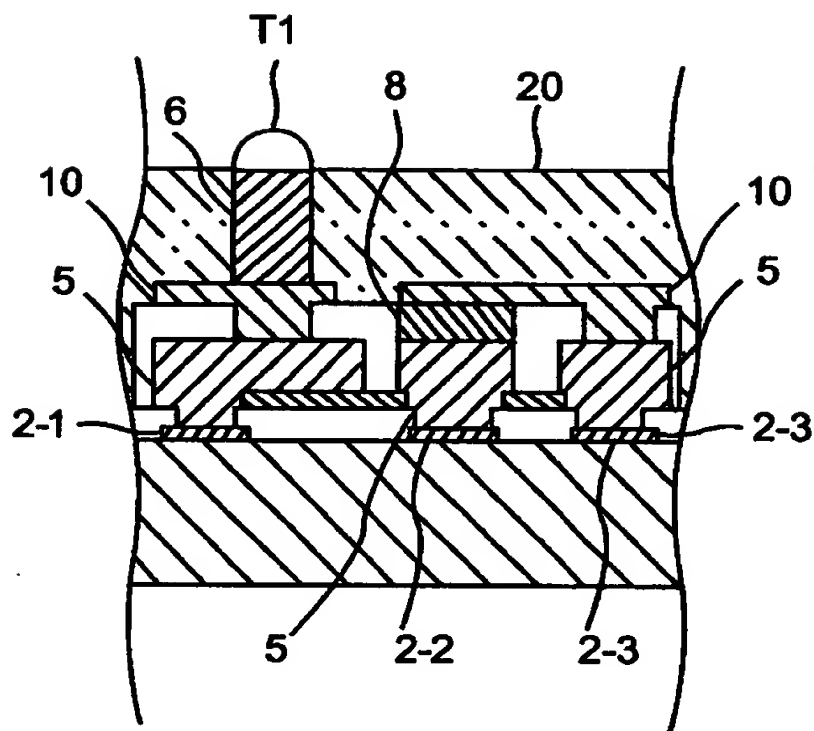
【図9】



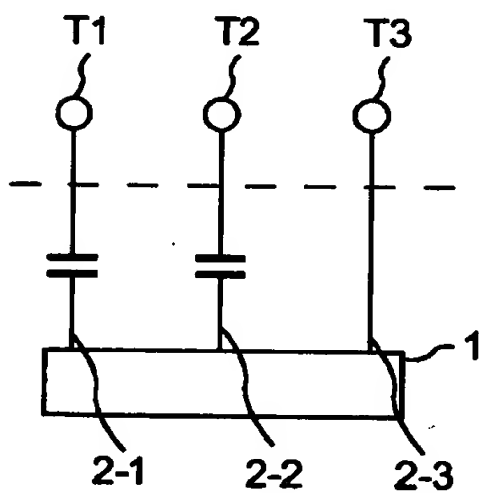
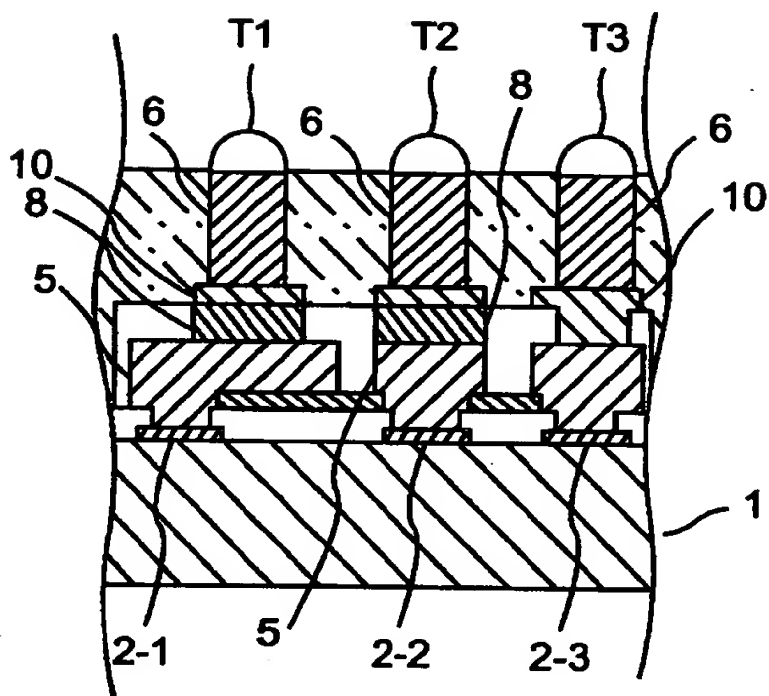
【図10】



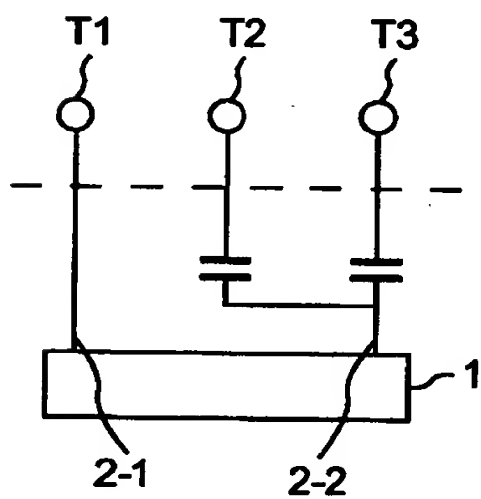
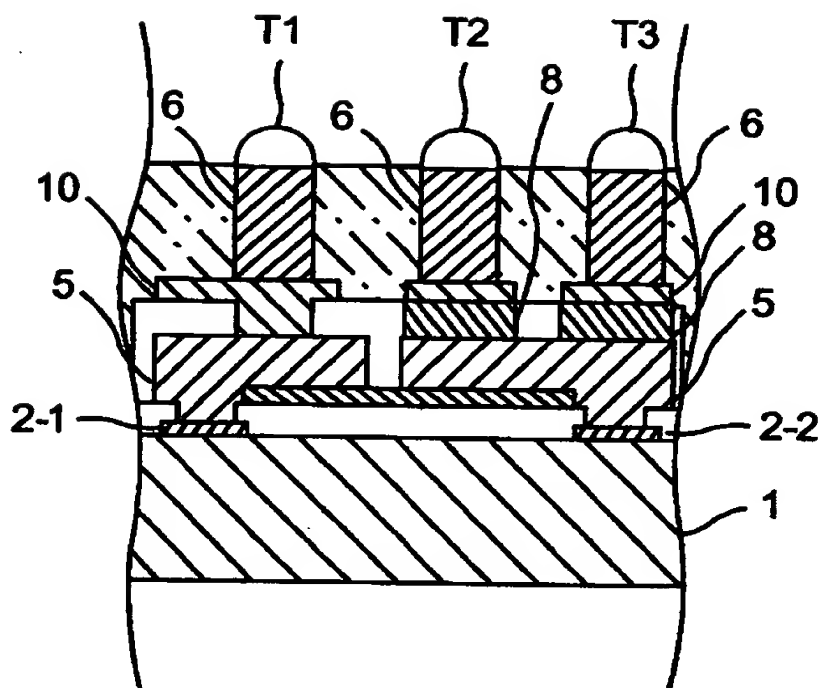
【図 1 1】



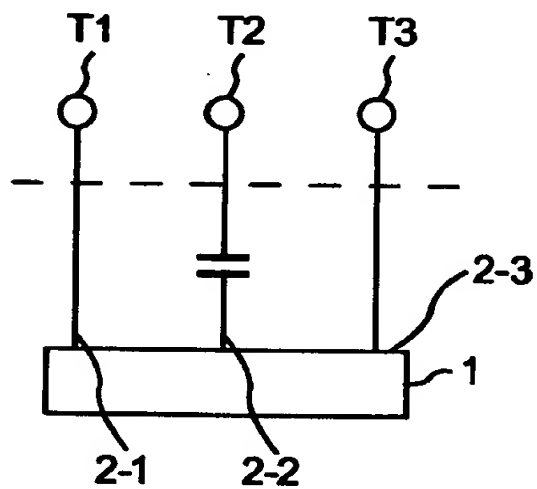
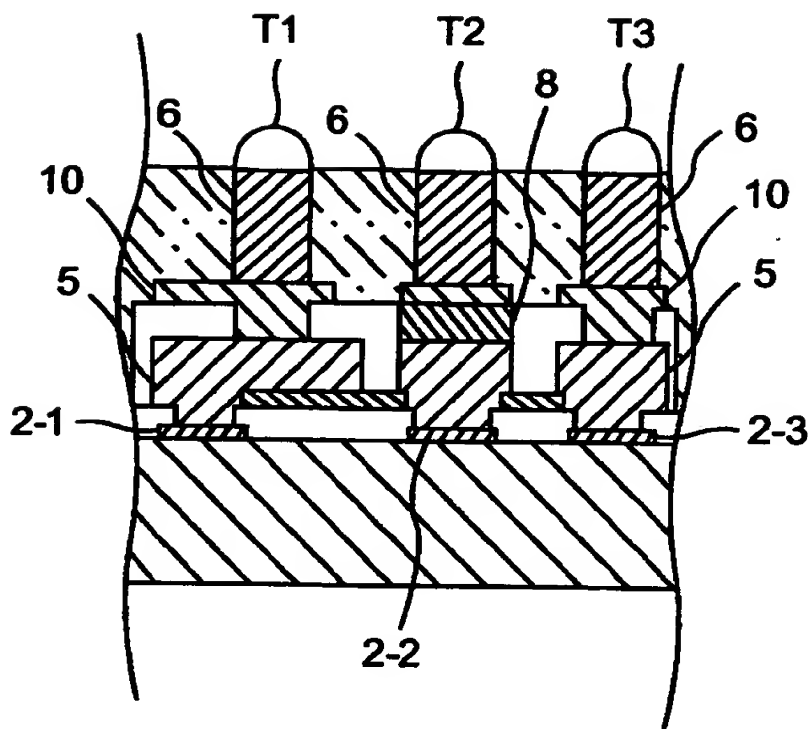
【図 1 2】



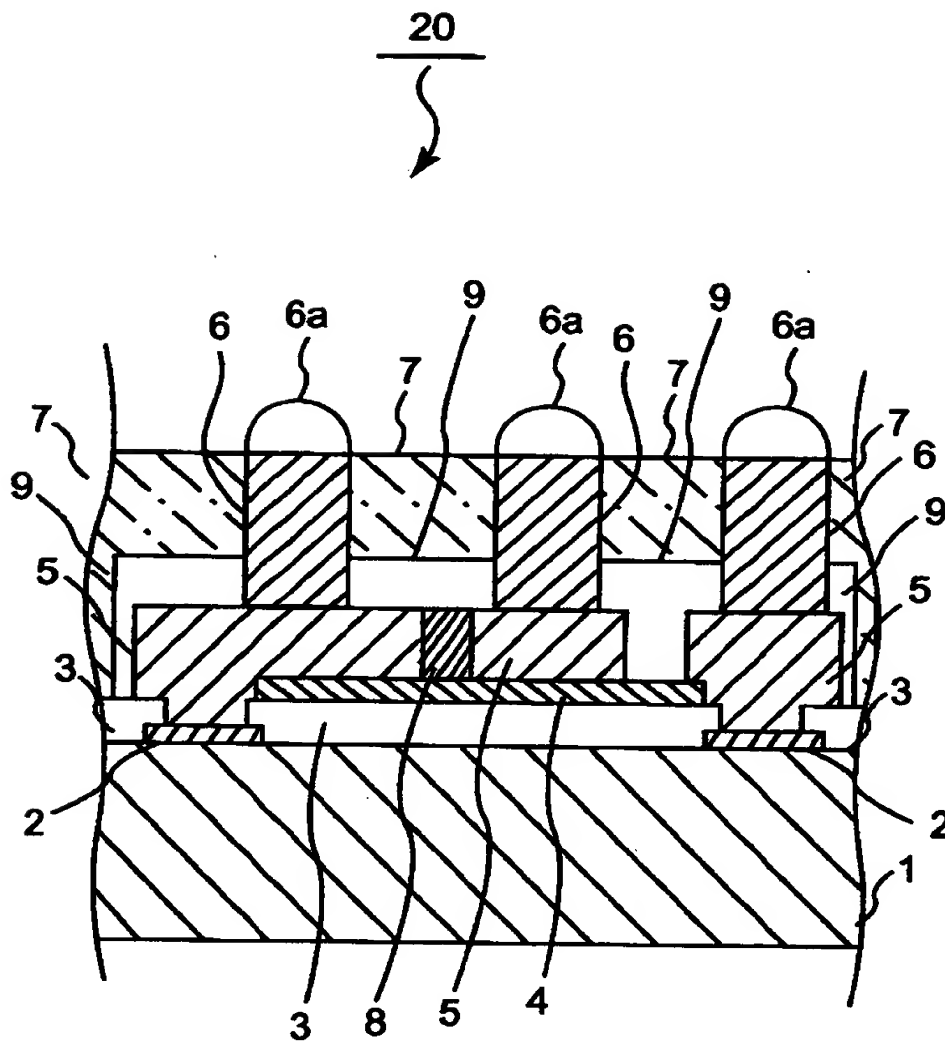
【図13】



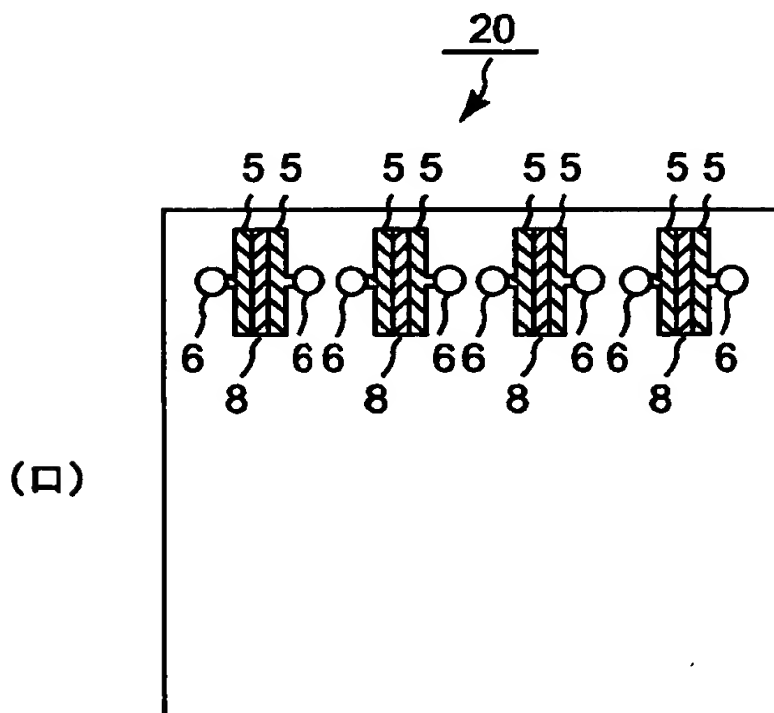
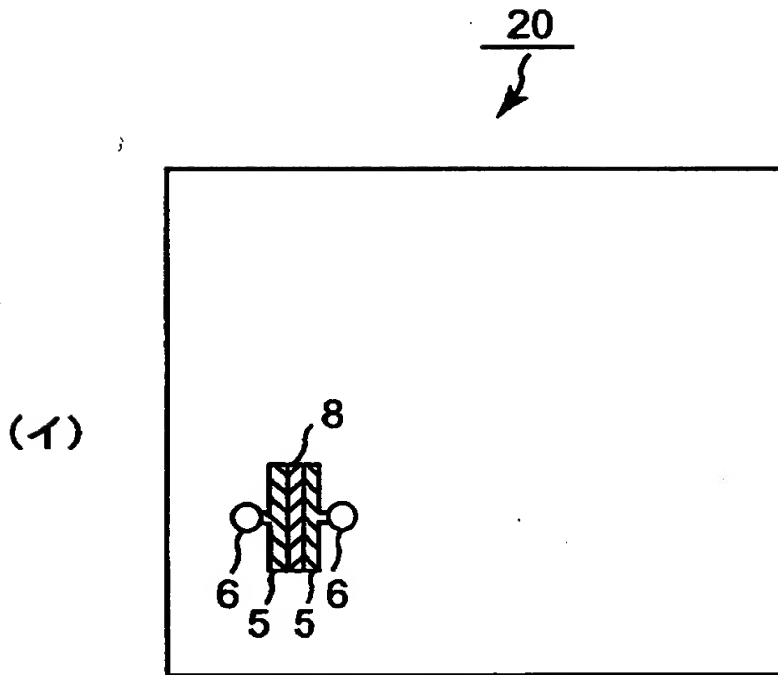
【図 1 4】



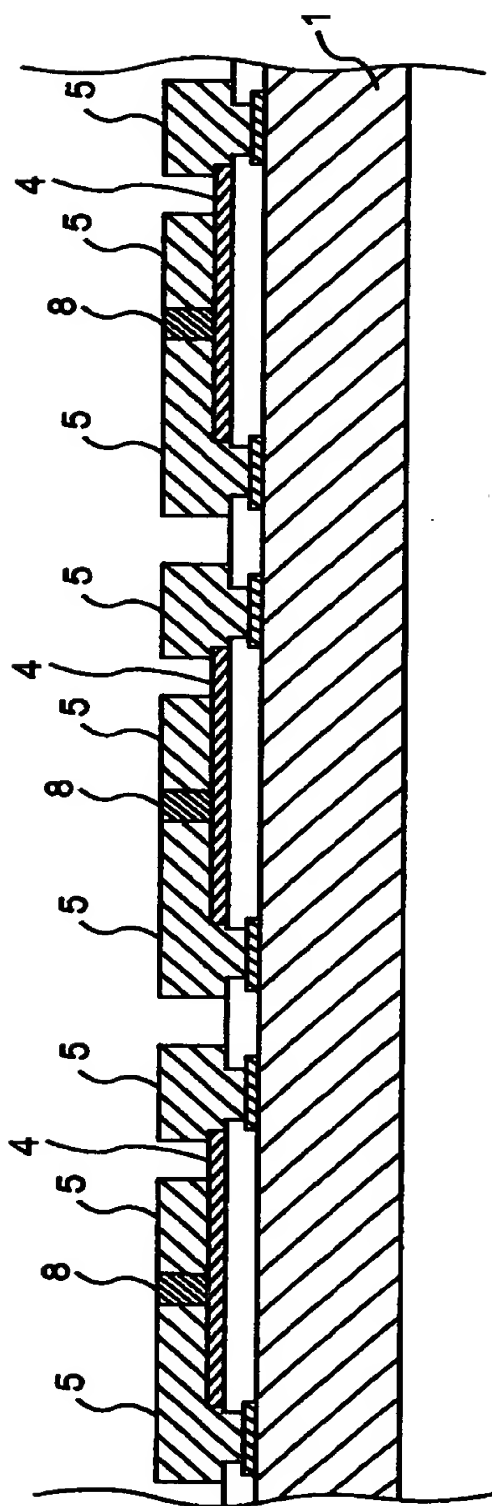
【図15】



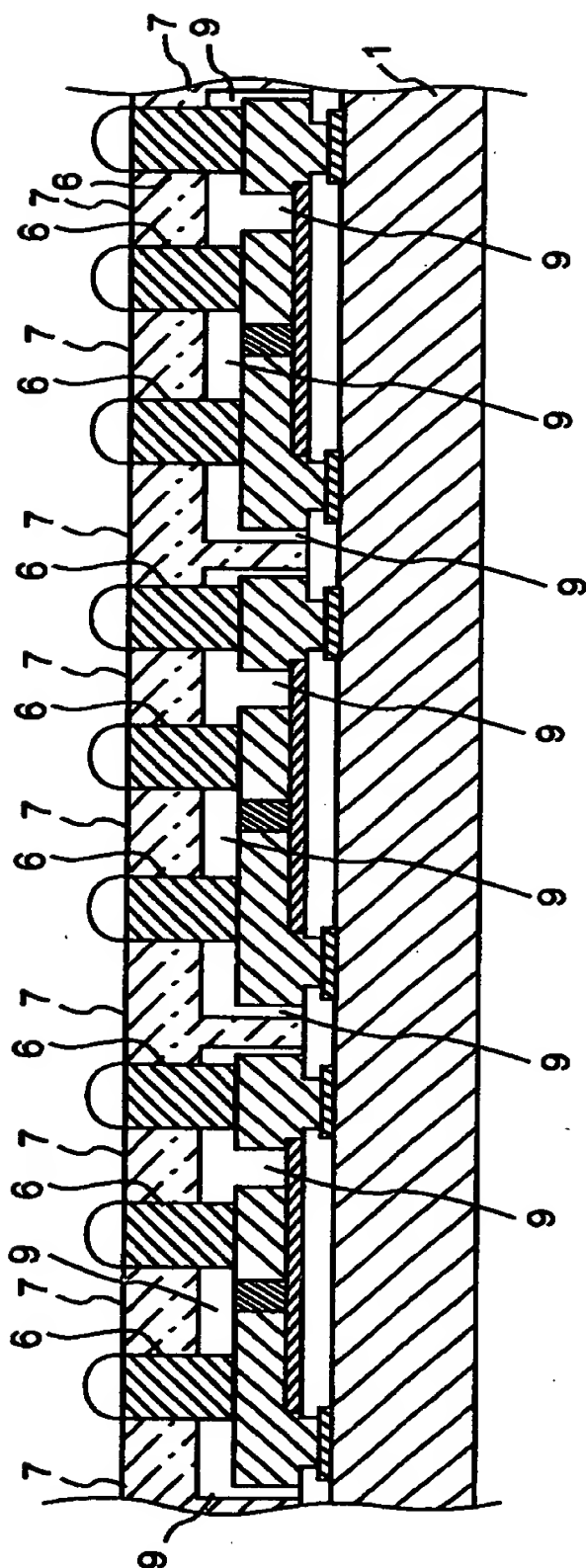
【図 1 6】



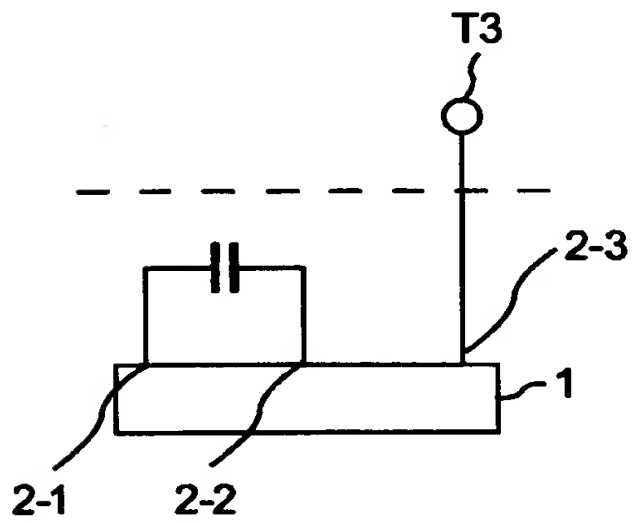
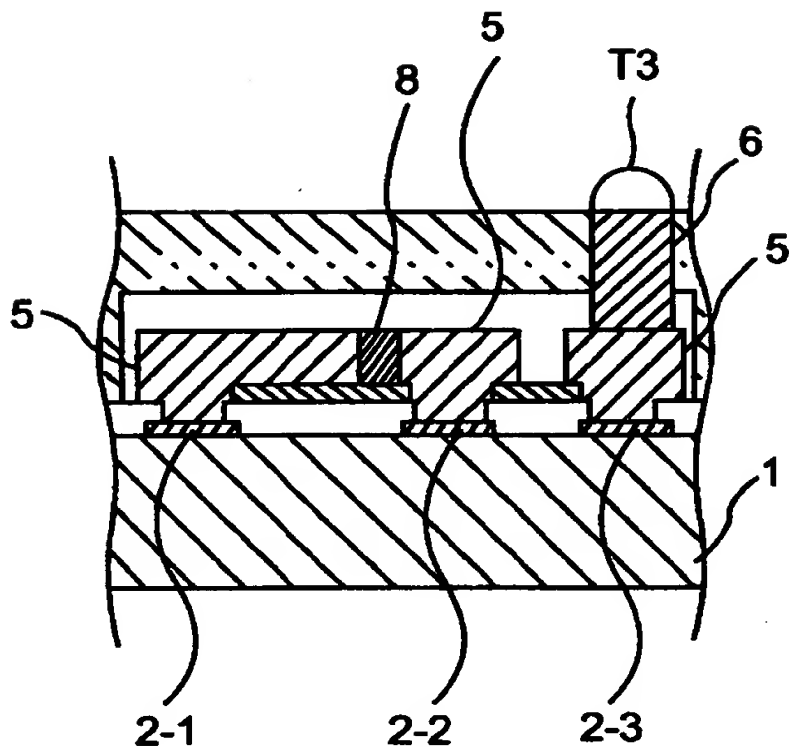
【図17】



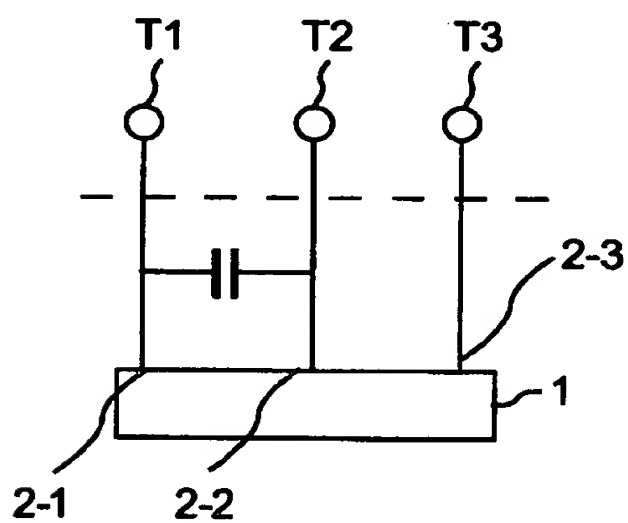
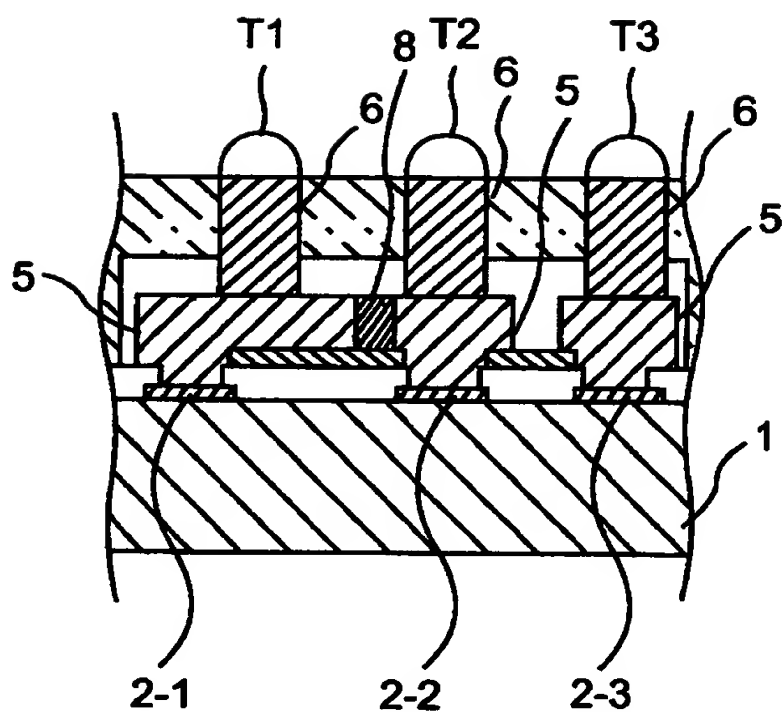
【図18】



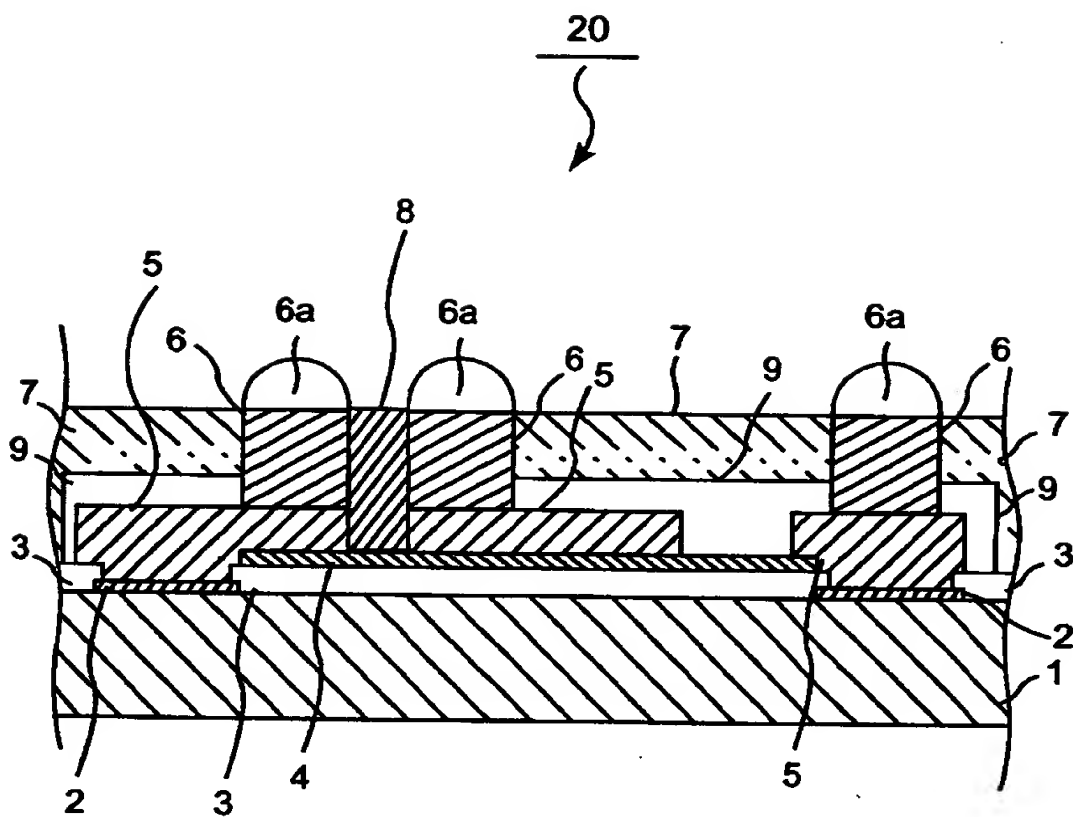
【図 20】



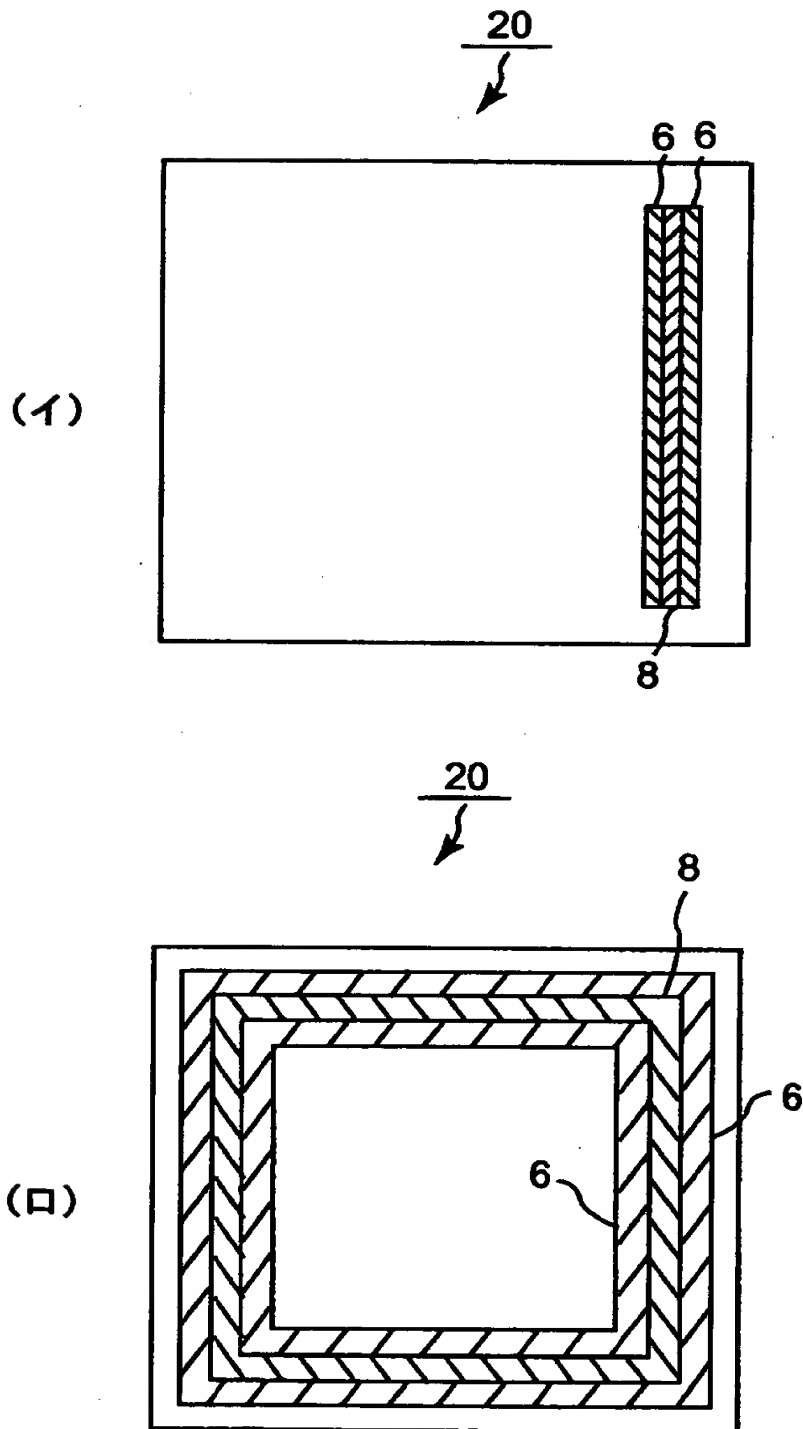
【図 2 1】



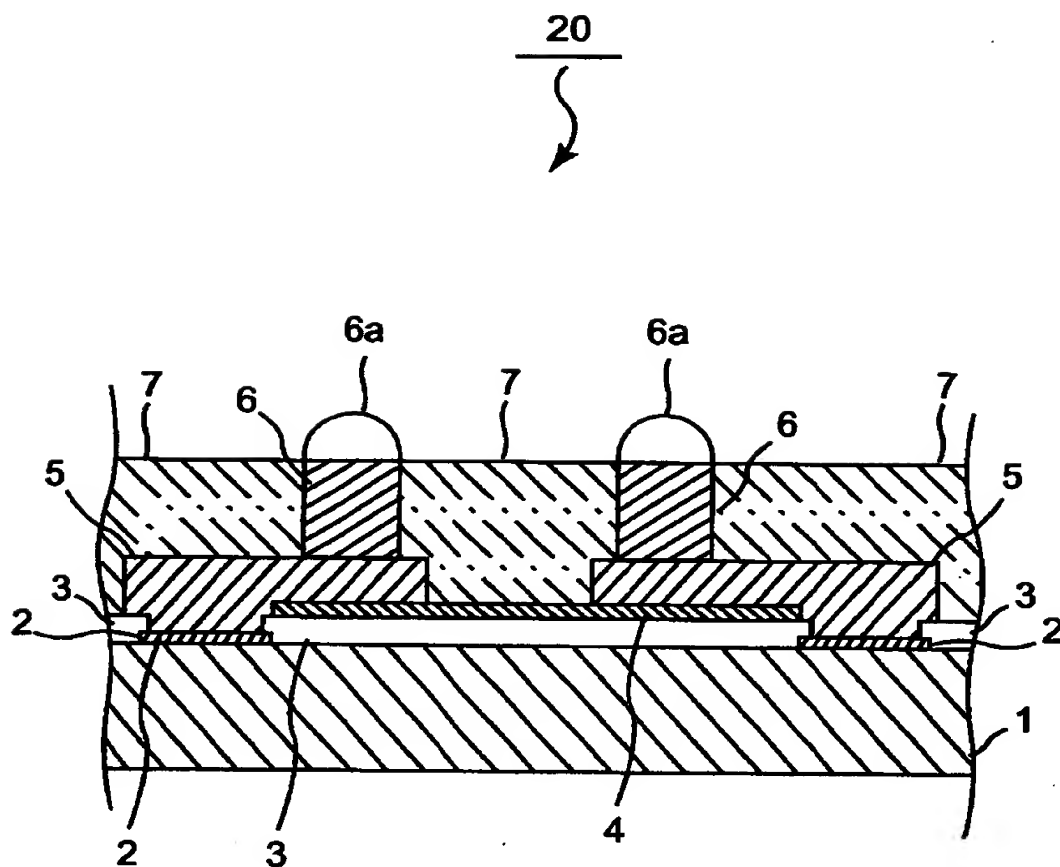
【図 22】



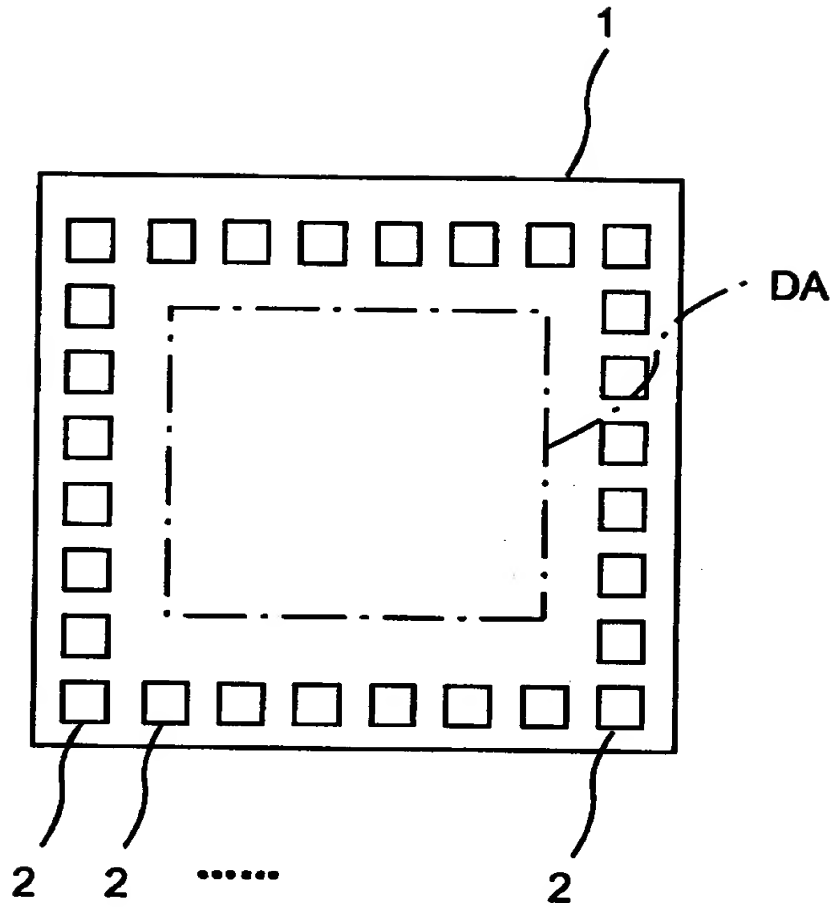
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 チップ面積の増大を招くことなく容量素子を搭載することができる半導体装置およびその製造方法を実現する。

【解決手段】 回路素子形成領域DA上に第1の導体層5、誘電体層8および第2の導体層10とを積層して立体的に容量素子を形成する。または第1の保護膜4上で互いに隣接するよう配置された第1の導体層5の一方側と他方側との間隙に誘電体層8を設けて平面的に容量素子を形成する。あるいは第1の保護膜4上で互いに隣接するよう配置された第1の導体層5およびポスト6の一方側と他方側との間隙に誘電体層8を設けて容量素子を形成する。このようにすることでチップ面積の増大を招くことなく容量素子を搭載し得る。

【選択図】 図1



特 2000-243765

出 願 人 履 歴 情 報

識別番号 [500224531]

| | |
|----------|----------------------|
| 1. 変更年月日 | 2000年 5月18日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都八王子市東浅川町550番地の1 |
| 氏 名 | 株式会社アイ・イー・ピー・テクノロジーズ |

出 願 人 履 歴 情 報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日

[変更理由] 住所変更

住 所 東京都渋谷区本町1丁目6番2号
氏 名 カシオ計算機株式会社